

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-175326

(43)Date of publication of application : 13.07.1993

(51)Int.Cl.

H01L 21/76

H01L 21/20

H01L 27/00

H01L 27/12

H01L 29/784

(21)Application number : 03-343222

(71)Applicant : ROHM CO LTD

(22)Date of filing : 25.12.1991

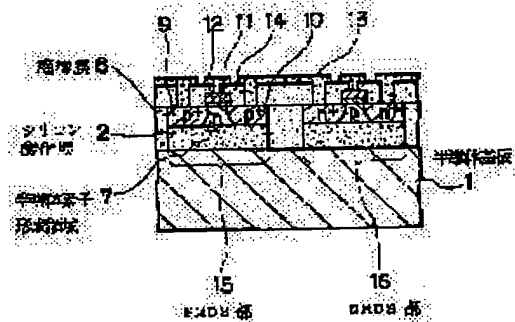
(72)Inventor : NAKAMURA TOMOHIITO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide a semiconductor device and its manufacturing method that prevents latch-up and parasitic capacitance caused by an isolation state between elements.

CONSTITUTION: On a semiconductor substrate 1, a first opening part 3 is formed in a surface of an insulating film 2. A semiconductor crystal layer extending from an exposed part of the substrate 1 at the first opening part 3 to the insulating film 2 is formed in an epitaxial growth step. Then, only the crystal layer grown at the first opening part 3 is removed in an etch step to form an island-shaped semiconductor device formation region 7. A semiconductor circuit is formed in the device formation region 7.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-175326

(43)公開日 平成5年(1993)7月13日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/76		D 9169-4M		
21/20		9171-4M		
27/00	3 0 1 A	8418-4M		
27/12		Z 8728-4M		
		9056-4M		
			H 0 1 L 29/ 78	3 1 1 R

審査請求 未請求 請求項の数3(全 5 頁) 最終頁に続く

(21)出願番号 特願平3-343222

(22)出願日 平成3年(1991)12月25日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 中村 智史

京都市右京区西院溝崎町21番地 ローム株式会社内

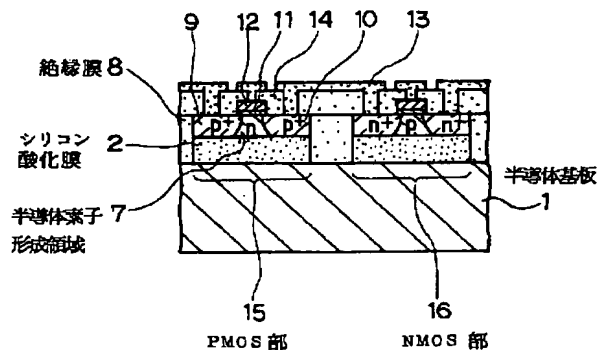
(74)代理人 弁理士 朝日奈 宗太 (外2名)

(54)【発明の名称】 半導体装置およびその製法

(57)【要約】

【目的】 半導体集積回路の素子間分離に起因する寄生容量やラッチアップを防止できる半導体装置の製法を提供する。

【構成】 半導体基板1上の絶縁膜2の表面に第1の開口部3から露出した基板1より第1の開口部3および絶縁膜2にエピタキシャル成長して半導体結晶層4を形成する。そののち第1の開口部3に成長した部分のみをエッチングにより除去し、絶縁膜8を形成して絶縁分離し、島状の半導体素子形成領域7を形成する。その素子形成領域7に半導体回路を形成する。



1

【特許請求の範囲】

【請求項1】 半導体基板上に絶縁膜を形成し、該絶縁膜に開口部を設け前記半導体基板をシードとして前記絶縁膜上に半導体結晶層をエピタキシャル成長する工程、前記開口部に形成された半導体結晶層を除去して絶縁物を埋め込み、底面および周囲を絶縁物で囲まれた島状の半導体素子形成領域を形成する工程および該半導体素子形成領域に半導体回路を形成する工程からなることを特徴とする半導体装置の製法。

【請求項2】 請求項1記載の方法により製造した半導体装置のパシベーション膜上にさらに半導体結晶層を成長させ、半導体回路を形成する工程を1回または2回以上繰り返し、複数段に構成する3次元構造の半導体装置の製法。

【請求項3】 底面および周囲を絶縁物で囲まれた島状の半導体素子形成領域に形成されたMOS型トランジスタ構造を有する半導体装置であって、ソースおよび（または）ドレインの拡散領域が前記島状の半導体素子形成領域の底面まで形成されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置およびその製法に関する。さらに詳しくは、半導体装置の素子間分離を絶縁層で完全に行う半導体装置およびその製法に関する。

【0002】

【従来の技術】 従来、半導体基板に複数の素子を形成して半導体集積回路を形成しているが、その素子間を電氣的に分離するのに、MOS型半導体では主として横方向をLOCOS構造による酸化膜で、縦方向には基板より高濃度領域のウェルを用いて行っている。この構造のMOSトランジスタ部分の断面構造を図8に示す。

【0003】 図8において41はp型ケイ素基板、42はn型ウェル、43はゲート絶縁膜、44はLOCOS酸化膜、45、46はp⁺型拡散領域でそれぞれソース領域、ドレイン領域を形成している。47はポリシリコンなどにより形成されたゲート電極で、48、49、50はシリサイド層で、それぞれソース電極、ゲート電極、ドレイン電極のオーミックコンタクト層である。この構成で横方向の素子間分離はLOCOS酸化膜44により分離され、縦方向、すなわち半導体基板との分離はn型領域のウェル42で分離されている。

【0004】 一方、バイポーラトランジスタではpn接合を利用したアイソレーションで横方向を、縦方向もpn接合で分離する方法が主としてとられている。

【0005】

【発明が解決しようとする課題】 しかし、従来の半導体装置の各素子間分離はMOSもバイポーラもpn接合が主体であるため、高電圧に対しては降伏電流が流れ絶縁

2

耐圧に限界があると共に、絶縁耐圧内でも寄生容量のため、素子動作の高速化を妨げるという問題がある。

【0006】 さらに、前述のMOSトランジスタのようなウェルを利用した素子分離構造では、ソース領域45とウェル42と半導体基板41のあいだにpn⁺のバイポーラトランジスタが構成され、このような寄生素子ができるというラッチアップの問題がある。

【0007】 本発明はこのような状況に鑑み、完全な素子間分離を行い、半導体性能を劣化させない高速の半導体装置をうる製法を提供することを目的とする。

【0008】 また本発明の他の目的は、絶縁膜上に半導体層を形成する方法を利用して3次元構造の半導体装置の製法を提供することにある。

【0009】 さらに本発明の他の目的は絶縁層で完全に分離された半導体領域を利用して基板バイアスをなくし、寄生容量の発生を防止することにある。

【0010】

【課題を解決するための手段】 本発明による半導体装置の製法は、半導体基板上に絶縁膜を形成し、該絶縁膜に開口部を設け前記半導体基板をシードとして前記絶縁膜上に半導体結晶層をエピタキシャル成長する工程と、前記開口部に形成された半導体結晶層を除去して絶縁物を埋め込み、底面および周囲を絶縁物で囲まれた島状の半導体素子形成領域を形成する工程と、該半導体素子形成領域に半導体回路を形成する工程とからなることを特徴とするものである。

【0011】 さらに本発明による半導体装置は、底面および周囲を絶縁物で囲まれた島状の半導体素子形成領域に形成されたMOS型トランジスタ構造を有する半導体装置であって、ソースおよび（または）ドレインの拡散領域が前記島状の半導体素子形成領域の底面まで形成されていることを特徴とするものである。

【0012】

【作用】 本発明によれば、半導体基板上に絶縁膜を形成し、部分的に露出させた半導体基板をシードとして絶縁膜上に半導体結晶層をエピタキシャル成長させ、そのシード部分の半導体結晶層を除去し絶縁膜を形成しているため、半導体素子形成領域が底面および側面を完全に絶縁物で囲まれた島状に形成でき、その島状の半導体素子形成領域に半導体素子を形成できる。その結果、各素子は完全に電氣的に分離され、寄生容量とかラッチアップの問題は起らない。

【0013】

【実施例】 つぎに、図面を参照しながら本発明について詳細に説明する。図1～6は本発明の一実施例であるMOS型トランジスタの製法の各工程を示す断面説明図である。

【0014】 まず図1に示すように半導体基板1上に形成した絶縁膜2に第1の開口部3を形成し、その第1の開口部3および絶縁膜2上に半導体基板1の結晶をシー

3

ドとして、半導体結晶層4をエピタキシャル成長する。

【0015】具体例としては、シリコン半導体基板1の表面に絶縁膜2であるシリコン酸化膜をたとえばCVD法により0.5 μm 形成し、ホトレジストをマスクとして部分的にエッチング除去して第1の開口部3を形成する。第1の開口部3により露出したシリコン半導体基板1をシードとして Si_2H_6 ガスと C_2H_2 ガスおよびドーピング剤として PH_3 および HCl ガスを、キャリアガス水素と共に導入して、約1350℃で約30分間気相反応させ、n型の炭化ケイ素(SiC)をエピタキシャル成長して半導体結晶層4を形成した。この炭化ケイ素はシリコンと同種の性質を有するため、露出した半導体基板のシリコン結晶をシードとしてエピタキシャル成長する。したがって最初のうちはシリコン酸化膜2の腐食除去された開口部3のみに縦方向に選択的にエピタキシャル成長し、第1の開口部3内のエピタキシャル成長が完了し、シリコン酸化膜2と同じ高さの位置までエピタキシャル成長が行なわれる。続いて絶縁膜2上を横方向にエピタキシャル成長してシリコン酸化膜2および第1の開口部3上の全面にわたり半導体結晶層4が形成される。

【0016】つぎに図2～5に示すように前記第1の開口部に形成された部分の半導体結晶層4を除去して絶縁物を埋め込み、底面および周囲を絶縁物で囲まれた島状の半導体素子形成領域を形成する。具体例としては、炭化ケイ素の半導体結晶層4の表面にホトレジスト膜5を塗布し第1の開口部3よりアライメントのマージン分大きめのマスクを用いてレジストパターンを形成した(図2参照)。

【0017】ついで、図3に示すようにパターン形成したホトレジストをマスクとしてイオンミリングにより、ホトレジスト膜5の目抜かれた部分の、炭化ケイ素の半導体結晶層4を除去し、第2の開口部6を形成する。そのとき半導体結晶層4は島状に分離して複数の半導体素子形成領域7を形成した。

【0018】つぎに第2の開口部6により露出した半導体基板1を完全に埋め込むように絶縁膜8を第2の開口部6および半導体素子形成領域7の上に形成した(図4参照)。具体例としてはテトラエトキシシラン($\text{Si}(\text{OC}_2\text{H}_5)_4$)80sccmを導入し、基板温度700℃でLP-CVDを用いてシリコン酸化膜を形成した。

【0019】つぎに、図5に示すように半導体素子形成領域7上の絶縁膜8を除去して半導体素子形成領域7の表面を露出させる。具体例としては選択比の高いフッ酸1液で絶縁膜8の表面全体をウェットエッチングを行って島状に分離した半導体素子形成領域の表面を露出させた。

【0020】つぎに図6に示すように半導体素子形成領域7に半導体回路、たとえばMOS型トランジスタを通常のプロセスで形成する。

4

【0021】図6の構造で、15がPMOS部で、絶縁膜2上に形成された素子領域をn型に形成し、p+型のソース領域9、ドレイン領域10を形成し、ゲート絶縁膜11、ポリシリコン電極12を形成し、さらに絶縁膜14を形成して電極配線膜13を形成することにより製造される。NMOS部16も同様の工程で形成される。

【0022】ここで、PMOS部15、NMOS部16は共にソース、ドレイン領域を形成する高濃度の拡散領域9、10はいずれも素子形成半導体領域の表面から底面まで伸びるように形成されている。これは半導体素子形成領域の底面に接しているのが、絶縁膜であるためとくにn型半導体領域を介さなくても特性上の悪影響は生じず、むしろn型領域がないため、基板バイアスが必要なくなり配線数を減少させることができる。

【0023】図7は前述の方法により製造した集積回路の上に、さらに前述と同様に半導体結晶層を成長させ、同様に集積回路を形成して3次元構造の半導体装置の形成例を示す断面説明図である。

【0024】同図において21は第1段の集積回路装置で回路構成は前述の実施例と同様の構成で、同一符号を付してある。また22は第1段の集積回路装置の上に形成された第2段の集積回路装置で、第1段の回路構成と同様の構成にしてある。23はシールドプレートで、第1段の集積回路のパシベーション膜24を形成する際に金属板を封入し、第1段の集積回路21と第2段の集積回路22とが、相互的に干渉して特性に悪影響を与えないようにしたものである。

【0025】この第2段の半導体層を形成するに当たっては、第1段の集積回路装置のパシベーション膜24の表面をエッチバックなどにより平坦にして、第1段の集積回路装置の回路構成に携わっていない半導体部分が露出するように開口部25を形成し、あとは前述と同様にエピタキシャル成長することにより2階部分の半導体結晶層が横方向に成長する。

【0026】また第1段の集積回路と第2段の集積回路との電氣的接続は、第2段の素子形成場所と関係ない部分を目抜き、第1段の電極部分までコンタクト孔26を形成し、アルミニウムなど電極材料をスパッタリングなどで埋め込み第2段の集積回路との電氣的接続を行っている。

【0027】この実施例では2段構造の例で説明したが同様の工程を繰り返すだけで3段以上の積層構造の半導体装置をえられる。また、全段の各素子が全て周囲を絶縁物で分離されている必要はなく、一部の素子部分に適用されていけばよい。

【0028】

【発明の効果】以上説明したように本発明によれば縦方向および横方向両方向ともに絶縁膜によって素子の分離を完全に行うため、絶縁耐圧の向上やラッチアップなどの問題を解消でき、高品質で信頼性の高い半導体装置を

えられる。

【0029】さらに、寄生容量を完全に制御できるため、とくにバイポーラ半導体装置では一層高速な素子をえられるという効果がある。

【0030】また半導体素子形成領域を絶縁膜で完全に分離して、底面にも絶縁膜が形成されているため、半導体素子形成領域の厚さをMOS型トランジスタのソース、ドレイン領域と同等の厚さに形成でき、基板バイアスが必要なくなり、配線数を減少させることができる。そのため、高密度でかつ高速演算の可能な大規模集積回路をうることが可能となる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製法の一実施例の工程説明図である。

【図2】本発明の半導体装置の製法の一実施例の工程説明図である。

【図3】本発明の半導体装置の製法の一実施例の工程説明図である。

【図4】本発明の半導体装置の製法の一実施例の工程説

明図である。

【図5】本発明の半導体装置の製法の一実施例の工程説明図である。

【図6】本発明の半導体装置の製法の一実施例である最終工程の説明図である。

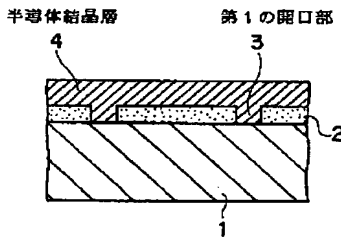
【図7】本発明の製法による3次元構造にした半導体装置の断面説明図である。

【図8】従来のMOS型トランジスタ素子の一例の断面構造をあらわす図である。

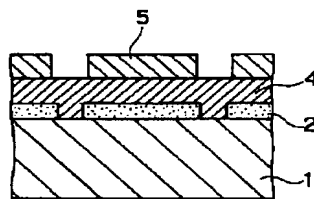
【符号の説明】

- 1 半導体基板
- 2 シリコン酸化膜
- 3 第1の開口部
- 4 半導体結晶層
- 7 半導体素子形成領域
- 8 絶縁膜
- 15 PMOS部
- 16 NMOS部

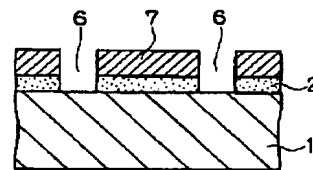
【図1】



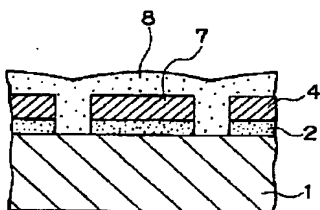
【図2】



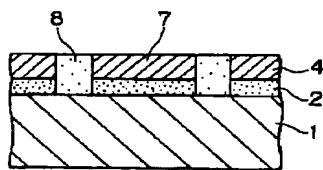
【図3】



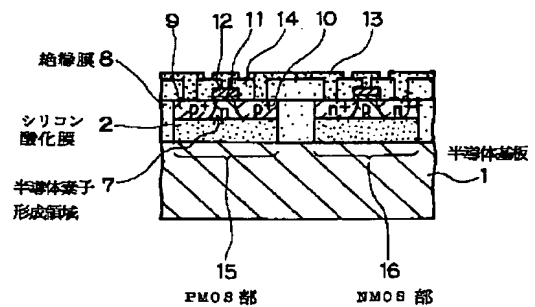
【図4】



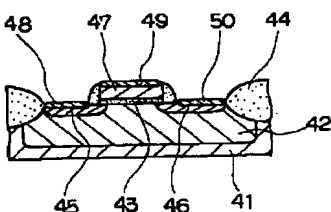
【図5】



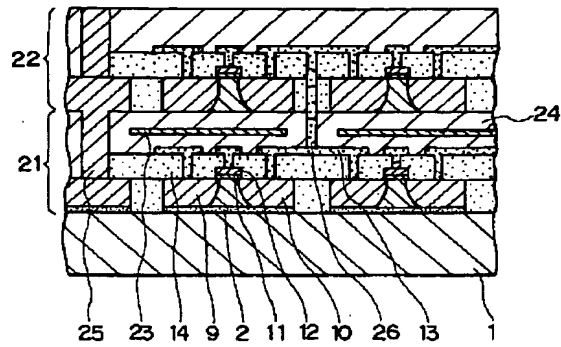
【図6】



【図8】



【図7】



フロントページの続き(51) Int. Cl.⁵

H01L 29/784

識別記号

庁内整理番号

F I

技術表示箇所